

Structure of semiconductor material, application to the production of a transistor and method of production

Patent number: FR2707425
Publication date: 1995-01-13
Inventor: STEPHANE TYC; CHRISTIAN BRYLINSKI
Applicant: THOMSON CSF (FR)
Classification:
- **international:** **H01L29/24; H01L29/51; H01L29/02; H01L29/40; (IPC1-7): H01L29/04; H01L29/78**
- **european:** H01L29/24D; H01L29/51
Application number: FR19930008472 19930709
Priority number(s): FR19930008472 19930709

[Report a data error here](#)

Abstract of FR2707425

The invention relates to a component with semiconductors comprising at least one layer of monocrystalline silicon carbide (2) covered with a layer of insulant which is also monocrystalline (3). For example, the layer of insulant is based on aluminium nitride. Application: transistor fabrication.

Data supplied from the **esp@cenet** database - Worldwide

①9 RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

①1 N° de publication :
(à n'utiliser que pour les
commandes de reproduction)

2 707 425

②1 N° d'enregistrement national :

93 08472

⑤1 Int Cl^e : H 01 L 29/04, 29/78

⑫

DEMANDE DE BREVET D'INVENTION

A1

②2 Date de dépôt : 09.07.93.

③0 Priorité :

④3 Date de la mise à disposition du public de la
demande : 13.01.95 Bulletin 95/02.

⑤6 Liste des documents cités dans le rapport de
recherche préliminaire : *Se reporter à la fin du
présent fascicule.*

⑥0 Références à d'autres documents nationaux
apparentés :

⑦1 Demandeur(s) : Société dite : THOMSON-CSF — FR.

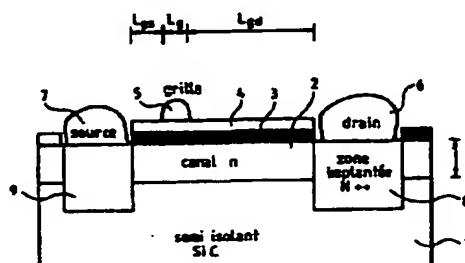
⑦2 Inventeur(s) : Tyc Stéphane et Brylinski Christian.

⑦3 Titulaire(s) :

⑦4 Mandataire : Lardic René.

⑤4 Structure en matériau semiconducteur, application à la réalisation d'un transistor et procédé de réalisation.

⑤7 L'invention concerne un composant à semiconduc-
teurs comprenant au moins une couche en carbure de sil-
cium monocristallin (2) recouverte d'une couche d'isolant
également monocristallin (3). Par exemple, la couche d'iso-
lant est à base de nitrure d'aluminium.
Application: Fabrication de transistors.



FR 2 707 425 - A1



STRUCTURE EN MATERIAU SEMICONDUCTEUR, APPLICATION A LA REALISATION D'UN TRANSISTOR ET PROCEDE DE REALISATION

5 L'invention concerne une structure en matériau semiconducteur, son application à la réalisation d'un transistor (un MISFET ou un MOS notamment) et un procédé de réalisation.

Dans la fabrication de composants semiconducteurs, la réalisation d'une couche d'isolant sur le semiconducteur est un problème omniprésent.

10 On peut citer en exemple :

- la fabrication de MISFETs (Metal Insulator Field Effect Transistors) : des transistors à effet de champ dans lesquels la grille de commande est isolée du canal par un isolant ;

- la passivation de surface afin d'éliminer les effets parasites tels que la 15 conduction de surface, ou pour améliorer la tension de claquage.

Les caractéristiques essentielles requises de cette couche d'isolant sont :

- un fort champ de claquage

On peut citer la silice comme étant un des isolants les plus utilisés. Les meilleurs champs de claquage pour la silice sont environ de $12 \cdot 10^6$ V/cm.

20 Le champ de claquage indique la capacité de l'isolant à soutenir une tension et partant à pouvoir commander les charges dans le canal dans le cas du MISFET.

- une faible densité d'état d'interface

25 En général les isolants déposés sur des semiconducteurs sont amorphes et de ce fait ils possèdent des états électroniques à l'interface avec le semiconducteur. Ces états électroniques sont nuisibles à plusieurs titres. Dans le cas de l'isolant de grille, ils écrantent l'effet du champ électrique de commande et limitent la possibilité de moduler le nombre de porteurs sous la grille. Ils introduisent également des états d'interface qui jouent le rôle de centres diffuseurs pour les porteurs dans le canal et 30 limitent ainsi leur mobilité. La détérioration de la mobilité de canal est une des limitations des MOSFETs sur silicium.

- une forte résistivité afin d'assurer l'isolation entre la grille et le canal et de minimiser les courants de fuite.

Pour les meilleures silices, la résistivité est supérieure à 10^{15} Ohm.cm.

35 Le problème qui consiste à trouver le bon isolant pour un semiconducteur donné, pour une application donnée est, en général, extrêmement difficile.

On peut remarquer qu'une des raisons qui ont créé le succès du silicium est que la silice est un isolant naturel répondant de manière satisfaisante à toutes les exigences ci-dessus. La silice sur silicium présente une densité d'états d'interface faible, pour laquelle les meilleurs résultats sont au niveau de quelques $10^{10} \text{cm}^{-2} \text{eV}^{-1}$.

5 On peut également remarquer que l'obtention d'un couple semiconducteur/isolant dont l'interface est bonne n'est un problème résolu, malgré de très nombreux efforts, ni sur AsGa ni sur InP. Ceux-ci sont pourtant des semiconducteurs importants d'un point de vue technologique.

Afin de remédier aux problèmes cités plus haut, on pourrait épitaxier un
10 isolant sur le semiconducteur. Il est en effet connu par les spécialistes des surfaces, que sous certaines conditions, les hétérojonctions entre deux matériaux cristallins (un semiconducteur et un isolant) n'induisent pas d'états électroniques dans la bande interdite du semiconducteur. On peut ainsi obtenir des interfaces de grande qualité en ce qui concerne le nombre d'états et la diffusion d'interface.

15 Cette idée est à la base d'une sorte de transistor à effet de champ que l'on nomme le DMT (Doped channel Mis-like Transistor) et qui a été décrit dans la thèse de B. Bonte (Université de Lille, Juin 1990). Ainsi qu'il est décrit dans cette thèse, il est intéressant de pouvoir épitaxier un isolant sur semiconducteur, car il serait ainsi possible de s'affranchir des problèmes d'état d'interface, tout en gardant certains des
20 avantages du MISFET. Toutefois, il est très difficile de trouver un couple isolant/semiconducteur dont les paramètres de maille soient accordés. Dans les DMTs décrits dans la thèse de B. Bonte, le canal peut être fait en GaInAs et l'isolant serait de l'AlGaAs dont le paramètre de maille est accordé. L'AlGaAs est utilisé comme isolant faute de trouver un véritable isolant épitaxiable sur GaInAs, mais son utilisation ne
25 permet pas au DMT de présenter tous les avantages d'un véritable MISFET.

Les différents polytypes du carbure de silicium sont des semiconducteurs à grande bande interdite dont les qualités intrinsèques leur confèrent des avantages décisifs sur le silicium ou l'arséniure de gallium pour un très grand nombre d'applications dont on pourra citer :

- 30
- le fonctionnement à haute température et dans des milieux corrosifs ;
 - l'immunité aux radiations ;
 - les composants de puissance fonctionnant du continu aux hyperfréquences ;
 - l'intégration monolithique extrêmement dense.

Parmi les polytypes (il y en a plus d'une centaine en tout), les principaux sont le 3C (cubique), le 2H, le 4H, et le 6H (hexagonaux). Leurs propriétés varient beaucoup (voir un article de M. Van Vliet et al. pour l'introduction : Ann. Rev. mater. Sci. 1988. 18:381-421). Jusqu'à récemment, la recherche sur le SiC a été ralentie par
5 le peu de progrès en croissance des monocristaux.

Or, il existe actuellement des techniques de préparation de monocristaux de SiC (dans ses polytypes 4H et 6H) qui sont de très bonne qualité.

Mais il reste un bon nombre de problèmes techniques à résoudre pour pouvoir tirer tout son potentiel du carbure de silicium. Parmi ces problèmes, il y a
10 celui du choix d'un bon isolant.

Le choix évident en premier lieu, la silice, a été étudié et semble prometteur en ce qui concerne la densité d'états d'interface lorsqu'elle est faite par oxydation sur un matériau SiC dopé n. Chaudhry (J. Appl. phys. 69, 7319 (1991)) a montré que l'on pouvait obtenir quelques $10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ en oxydant le carbure de
15 silicium. Toutefois, la composition de cette silice montre qu'elle possède un fort taux de carbone, et à ce titre elle est loin d'être optimisée. Des transistors MOS avec canal n ont été faits sur SiC (CREE Research, North Carolina, USA, cité dans l'article d'introduction de G. Kelner et M. Shur, 1991 International Semiconductor Device Research Symposium, Charlottesville, Virginia, USA, 4-6 Décembre 1991), en
20 utilisant de la silice comme isolant avec de bons résultats, mais les composants MOS avec canal p semblent plus difficiles à réaliser, en partie à cause de la moindre qualité de l'interface SiO_2/SiC dopé p.

L'invention permet de résoudre ce problème.

L'invention concerne donc une structure en matériaux semiconducteurs
25 comportant au moins une couche de carbure de silicium recouverte d'une première couche d'isolant, caractérisée en ce que le carbure de silicium est monocristallin et que la couche d'isolant est également monocristalline.

L'invention concerne également une application de la structure à la réalisation d'un transistor, caractérisée en ce qu'elle comporte sur un canal en carbure
30 de silicium monocristallin reliant la source et le drain, une couche d'isolant en matériau monocristallin.

Enfin l'invention concerne un procédé de réalisation d'un composant semiconducteur caractérisé en ce que la couche de carbure de silicium et la couche d'isolant sont déposées par épitaxie.

Les différents objets et caractéristiques de l'invention apparaîtront plus clairement dans la description qui va suivre faite à titre d'exemple et dans les figures annexées qui représentent :

- 5 - la figure 1, un premier exemple de réalisation d'un dispositif selon l'invention ;
- les figures 2 et 3, un exemple de procédé de réalisation du dispositif de la figure 1 ;
- la figure 4, un autre exemple de réalisation du dispositif selon l'invention.

10 L'objet de l'invention est de réaliser une couche d'isolant sur du SiC monocristallin par épitaxie d'un composé nitruré sous forme cristalline : $B_yAl_{1-x-y}Ga_xN$.

15 Il a été démontré (R. Davis, communication at the 7th Trieste Semiconductor symposium) que l'AlN pouvait être déposé sur le SiC 6H, en épitaxie parfaite avec le substrat, et ce jusqu'à des épaisseurs de 500 Å. L'épitaxie d'AlN sur SiC est d'ailleurs connue depuis longtemps (W. F. Knippenberg and G. Verspui, Proceedings of the International Conference on SiC, University Park, PA, 1968, Pergamon, New York). Toutefois, l'intérêt cité pour l'épitaxie d'AlN sur SiC est de réaliser un matériau épitaxié de haute qualité et de permettre ainsi l'étude des
20 composés $Al_{1-x}Ga_xN$ pour leurs propriétés semiconductrices et optiques.

 L'objet de l'invention est de réaliser une structure en matériaux semiconducteurs dans laquelle les propriétés isolantes de l'AlN sont effectivement utilisées.

25 L'objet de l'invention est d'utiliser la structure (SiC monocristallin/ $B_yAl_{1-x-y}Ga_xN$) comme couple de base semiconducteur/isolant. Cela est différent par rapport aux études existantes sur l'épitaxie de $Al_{1-x}Ga_xN$ sur SiC qui ont pour but d'étudier les composés nitrurés pour leurs propriétés intrinsèques et ne se servent du SiC que comme substrat.

30 L'isolant sera plus particulièrement composé d'AlN et le semiconducteur sera du SiC monocristallin sous une de ses nombreuses formes (3C, 4H, 6H ou autre). L'intérêt de l'invention réside en la perfection de l'interface, dont dérivent tous les avantages mentionnés en introduction.

 Nous allons maintenant décrire à titre d'exemple des structures tirant avantage de cette interface, ainsi que leur mode de réalisation.

1/ MISFET SIC

La structure représentant une des réalisations possibles décrites par la présente invention est schématisée en figure 1.

5 La structure est caractérisée en ce qu'elle est fabriquée sur un substrat 1 de carbure de silicium, de polytype 6H par exemple, monocristallin, semi-isolant. En ce qu'elle comporte un canal 2 de type n sur lequel se trouve un isolant 3 monocristallin épitaxié (de l'AlN par exemple), dont l'interface avec le canal est de grande perfection. Entre la couche d'AlN et la métallisation de grille 5, on peut
10 intercaler une deuxième couche d'isolant 4 (amorphe ou cristallin) si besoin est. L'épaisseur de la couche 3 d'AlN peut varier de 1 nm à 200 nm suivant les applications. Les contacts ohmiques de drain 6 et de source 7 sont déposés sur des zones 8 et 9 ayant été dopées plus fortement. Les différentes dimensions et valeurs des paramètres du MISFET seront choisies suivant les techniques connues. En
15 particulier, elles pourront être égale à :

- la longueur de grille $L_g = 0.5 \mu m$
- la distance grille source $L_{gs} = 1 \mu m$
- la distance grille drain $L_{gd} = 3.5 \mu m$
- l'épaisseur du canal $a = 0.25 \mu m$
- 20 - le dopage du canal $N_d = 3.10^{17} cm^{-3}$
- le développement de la grille $W = 1 mm$

Cette structure est très simplifiée, mais montre la caractéristique essentielle de l'invention qui est d'avoir un canal de transport du courant électronique séparé de la grille de commande par un isolant épitaxié.

25 Les étapes permettant de fabriquer un tel composant peuvent être agencées de la manière suivante, comme le montre la figure 2 :

- Sur un substrat semi-isolant 2 de carbure de silicium (de type 4H par exemple) on épitaxie un canal 2 de SiC de même type dopé n, par une des méthodes connues d'épitaxie. Parmi les méthodes connues on peut citer, la sublimation sandwich
30 (telle que pratiquée par les équipes russes de l'Institut IOFFE St Pétersbourg par exemple), la Chemical Vapour Deposition, la Molecular Phase Epitaxy, etc. Ensuite la couche d'isolant 3 est épitaxiée sur le canal SiC. On peut choisir de l'AlN. La technique d'épitaxie est de nouveau choisie parmi les techniques connues. La nature de l'isolant peut dépendre du choix et de l'orientation du polytype de SiC dans le
35 canal. Par exemple, sur du SiC 6H orienté (0001), la couche d'AlN pourra être du 2H

orienté (0001). En revanche sur du SiC 3C orienté (100), l'AIN déposé pourra être du cubique orienté (100).

- Sur la couche épitaxiée on fait une implantation localisée à l'aide d'un masquage (figure 3). Pour obtenir les zones 8, 9 de type N^{++} , on peut planter de l'Azote. L'implantation se fait en général à haute température. On peut ensuite faire un recuit flash d'activation des porteurs à haute température (typiquement entre 1000 et 2000 C). La couche d'isolant épitaxiée étant elle-même très réfractaire, elle supporte des recuits haute température qui pourraient être problématiques avec de la silice.

- La suite de l'élaboration du composant se fait de manière classique si ce n'est que les contacts ohmiques peuvent être recuits à très haute température ce qui est favorable pour former des contacts stables en température.

2/ Circuits CMOS

Dans les circuits CMOS, on fait passer un courant entre la source et le drain par l'application d'une tension sur la grille. Cette tension provoque l'inversion sous l'isolant de grille et accumule les porteurs à cet endroit. Les porteurs circulent donc juste à l'interface et subissent toutes les diffusions dues à des défauts de l'interface. Un isolant épitaxié améliore grandement la transconductance de ces transistors.

La figure 3 montre une coupe de principe des circuits CMOS. Dans un substrat d'un type (p- dans l'exemple donné), on fait des transistors N-MOS directement d'une manière similaire à celle décrite pour la réalisation du MISFET précédemment décrit. Les transistors P-MOS sont faits dans un caisson d'isolation qui aura été fabriqué localement soit par implantation soit par diffusion (la méthode de choix sera probablement l'implantation). La réalisation du transistor suit alors celle du MISFET.

REVENDICATIONS

1. Structure en matériaux semiconducteurs comportant au moins une couche de carbure de silicium (2) recouverte d'une première couche d'isolant (3),
5 caractérisée en ce que le carbure de silicium (2) est monocristallin et que la couche d'isolant (3) est également monocristalline.
2. Structure en matériaux semiconducteurs selon la revendication 1, caractérisé en ce qu'il comporte sur la première couche d'isolant (3) une deuxième couche d'isolant (4) amorphe ou cristallin.
- 10 3. Structure en matériaux semiconducteurs selon la revendication 1, caractérisée en ce que la première couche d'isolant (3) est à base de nitrure d'aluminium.
4. Structure en matériaux semiconducteurs selon la revendication 1, caractérisée en ce que la couche de carbure de silicium (2) est dopée et est située sur
15 une couche de carbure de silicium semi-isolant.
5. Structure en matériaux semiconducteurs selon la revendication 3, caractérisée en ce que la première couche d'isolant est du $B_yAl_{1-x-y}Ga_xN$.
6. Application de la structure selon l'une quelconque des revendications 1 à 5, à la réalisation d'un transistor, caractérisée en ce qu'elle comporte, sur un canal
20 (2) en carbure de silicium monocristallin reliant la source et le drain, une couche d'isolant (3) en matériau monocristallin.
7. Application selon la revendication 6, caractérisée en ce que le canal (2) est dopé de type n ; il est réalisé sur un substrat en carbure de silicium semi-isolant et il comporte à ses extrémités des zones (8, 9) dopées n^{++} correspondant aux zones de
25 drain et de source.
8. Application selon la revendication 7, caractérisée en ce que le canal (2) est dopé de type n^- et comporte à ses extrémités des zones de source et de drain dopées p^{++} .
9. Procédé de réalisation d'un composant semiconducteur selon l'une
30 quelconque des revendications précédentes, caractérisé en ce que la couche de carbure de silicium (2) et la couche d'isolant (3) sont déposées par épitaxie.

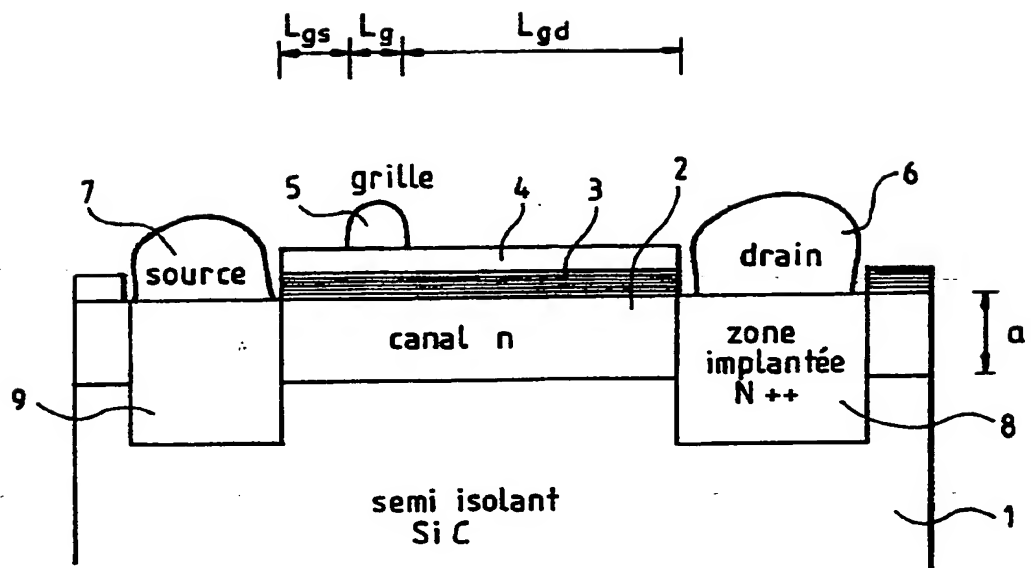


FIG.1

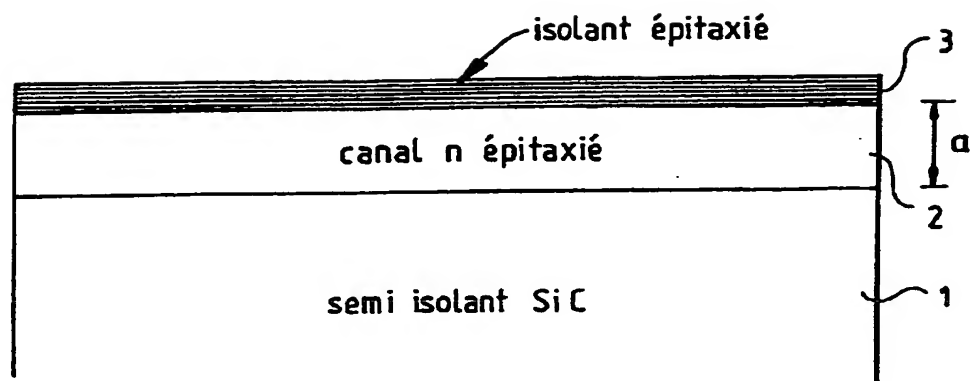


FIG. 2

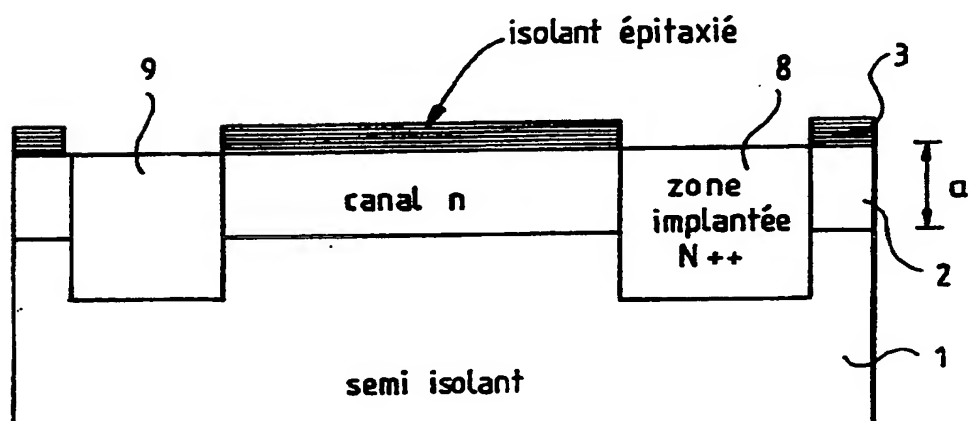


FIG. 3

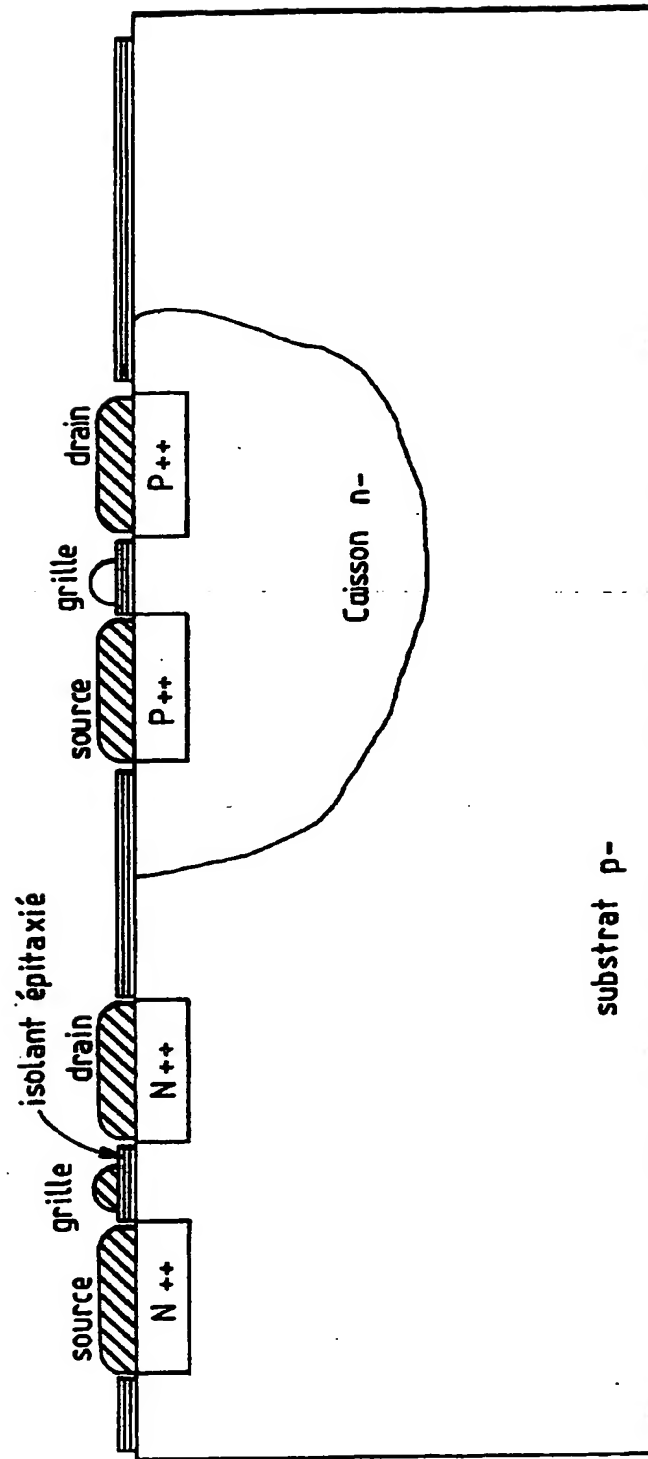


FIG.4

INSTITUT NATIONAL
de la
PROPRIETE INDUSTRIELLE

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

FA 487909
FR 9308472

DOCUMENTS CONSIDERES COMME PERTINENTS		Revendications concernées de la demande examinée
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	
X	US-A-5 184 199 (FUJII ET AL.) * le document en entier *	1,3,5,9
X	DE-A-40 09 837 (SHARP K.K.) * le document en entier *	1,2,6
A	WO-A-89 04056 (NORTH CAROLINA STATE UNIVERSITY) * page 10, ligne 12 - page 12, ligne 25; figures 1-6 *	1,6-8
		DOMAINES TECHNIQUES RECHERCHES (Int. C.L.S)
		H01L
Date d'achèvement de la recherche		Examinateur
10 Mars 1994		Baillet, B
CATEGORIE DES DOCUMENTS CITES		
X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : pertinent à l'encontre d'au moins une revendication ou arrière-plan technologique général O : divulgation non-écrite P : document intercalaire T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant		

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/010696

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L21/336, H01L29/78, H01L21/8247, H01L27/115, H01L29/788

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L21/336, H01L29/78, H01L21/8247, H01L27/115, H01L29/788

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

Web of Science

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2000-150792 A (Director General, Agency of Industrial Science and Technology), 30 May, 2000 (30.05.00), Full text (Family: none)	1-3, 6, 8 4, 5, 7, 9, 10
Y	JP 10-510952 A (ABB Research Ltd.), 20 October, 1998 (20.10.98), Page 14, lines 9 to 13; Fig. 1 & DE 69511726 D & EP 799499 A1 & US 5900648 A & WO 1996/019834 A2	4, 5
Y	James Kolodzey et al., Electrical Conduction and Dielectric Breakdown in Aluminum Oxide Insulators on Silicon, IEEE TRANSACTIONS ON ELECTRON DEVICES, Vol.47, No.1, January, 2000, pages 121 to 128	7

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
20 October, 2004 (20.10.04)Date of mailing of the international search report
09 November, 2004 (09.11.04)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/010696

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2001-94099 A (Denso Corp.), 06 April, 2001 (06.04.01), Full text; all drawings (Family: none)	9
Y	N. ONOJIMA et al., Heteroepitaxial Growth of Insulating AlN on 6H-SiC by MBE, Materials Science Forum Vols. 389 to 393, (2002), pages 1457 to 1460	10
A	JP 2002-246594 A (International Business Machines Corp.), 30 August, 2002 (30.08.02), Full text; all drawings (Family: none)	1-10
A	FR 2707425 A1 (THOMSON-CSF.), 13 January, 1995 (13.01.95), Full text; all drawings (Family: none)	1-10

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/010696

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:
2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

As stated on (extra sheet), there must exist a special technical feature so linking a group of inventions of claims as to form a single general inventive concept in order that the group of inventions may satisfy the requirement of unity of invention. This international application is considered to contain four inventions: the invention of claims [1-3, 6, 8, 10]; the invention of claims [4, 5]; the invention of claim [7]; and the invention of claim [9].
(Continued to extra sheet)

1. ☒ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest.
☒ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/010696

Continuation of Box No. III of continuation of first sheet (2)

There must exist a special technical feature so linking a group of inventions of claims as to form a single general inventive concept in order that the group of inventions may satisfy the requirement of unity of invention. The group of inventions set forth in claims 1-10 is considered to be linked only by a semiconductor device which comprises "an SiC surface structure", "an interface controlling layer containing a group III nitride layer which is formed in contact with the SiC surface structure and has a thickness not less than a single-molecule layer" and an insulating layer formed on "the interface controlling layer".

This technical feature, however, cannot be a special technical feature since it is disclosed in prior art document JP 2000-150792 A (Director General, Agency of Industrial Science and Technology), 30 May, 2000 (30.05.00), the full text.

Consequently, there is no special technical feature so linking the group of inventions of claims 1-10 as to form a single general inventive concept. Therefore, it appears that the group of inventions of claims 1-10 does not satisfy the requirement of unity of invention.

Next, the number of groups of inventions defined in the claims of this international application and so linked as to form a single general inventive concept, namely, the number of inventions will be examined.

Although the group of inventions of claims [1-8] is linked by the technical feature defined in claim 1, this technical feature cannot be a special technical feature since it is disclosed in the above-mentioned prior art document. Any one of the technical features of claims [2, 6, 8] cannot be a special technical feature since they are also disclosed in the above-mentioned prior art document.

Therefore, claims [1-8] are considered to define three inventions: the invention of claims [1-3, 6, 8]; the invention of claims [4, 5]; and the invention of claim [7].

The invention of claim [10] is linked with that of claims [1-3, 6, 8] as a method for manufacturing the inventions of claims [1-3, 6, 8].

Consequently, this international application is considered to contain four inventions: the invention of claims [1-3, 6, 8, 10]; the invention of claims [4, 5]; the invention of claim [7]; and the invention of claim [9].